

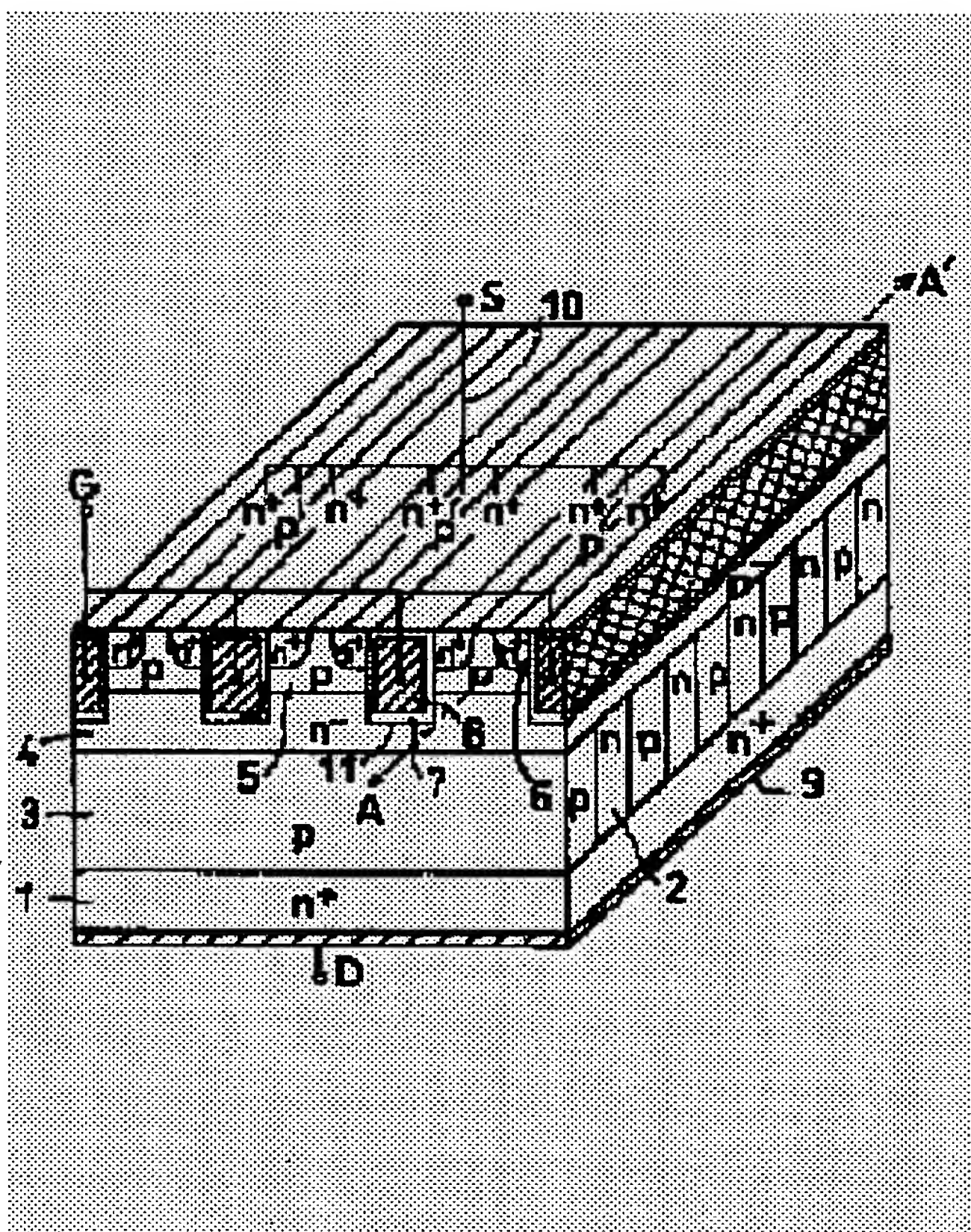
# HIGH BREAKDOWN-STRENGTH SEMICONDUCTOR ELEMENT

Patent number: JP2000260984  
Publication date: 2000-09-22  
Inventor: YAMAGUCHI SHOICHI  
Applicant: TOSHIBA CORP  
Classification:  
- international: H01L29/78  
- european:  
Application number: JP19990062470 19990310  
Priority number(s):

## Abstract of JP2000260984

**PROBLEM TO BE SOLVED:** To provide a high breakdown-strength semiconductor element which has a low on-resistance as well as a high-speed switching performance.

**SOLUTION:** This semiconductor element is provided with a first conductivity drain layer 1, a first conductivity semiconductor layer 2 and a second conductivity semiconductor layer 3, which are formed on the first conductivity drain layer 1 and are arranged alternately and repetitively in the horizontal direction thereon, a first conductivity base layer 4 formed on the first and second conductivity semiconductor layers 2 and 3, a second conductivity base layer 5 formed adjacent to the first conductivity base layer 4, a first conductivity source layer 6 formed on the surface of the second conductivity base layer 5, a gate electrode 8 formed opposite to the surface of the second conductivity base layer 5 between the first conductivity source layer 6 and the first conductivity base layer 4 with a gate insulating film 7 interposed, a first main electrode 9 formed in the first conductivity drain layer 1, and a second main electrode 10 formed in the first conductivity source layer 6.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-260984  
(P2000-260984A)

(43)公開日 平成12年9月22日 (2000.9.22)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 29/78

識別記号

F I .  
H 0 1 L 29/78

テ-マ-ト\*(参考)  
6 5 3 C 5 F 0 4 0  
3 0 1 V  
6 5 2 C  
6 5 2 F

審査請求 未請求 請求項の数25 O L (全 11 頁)

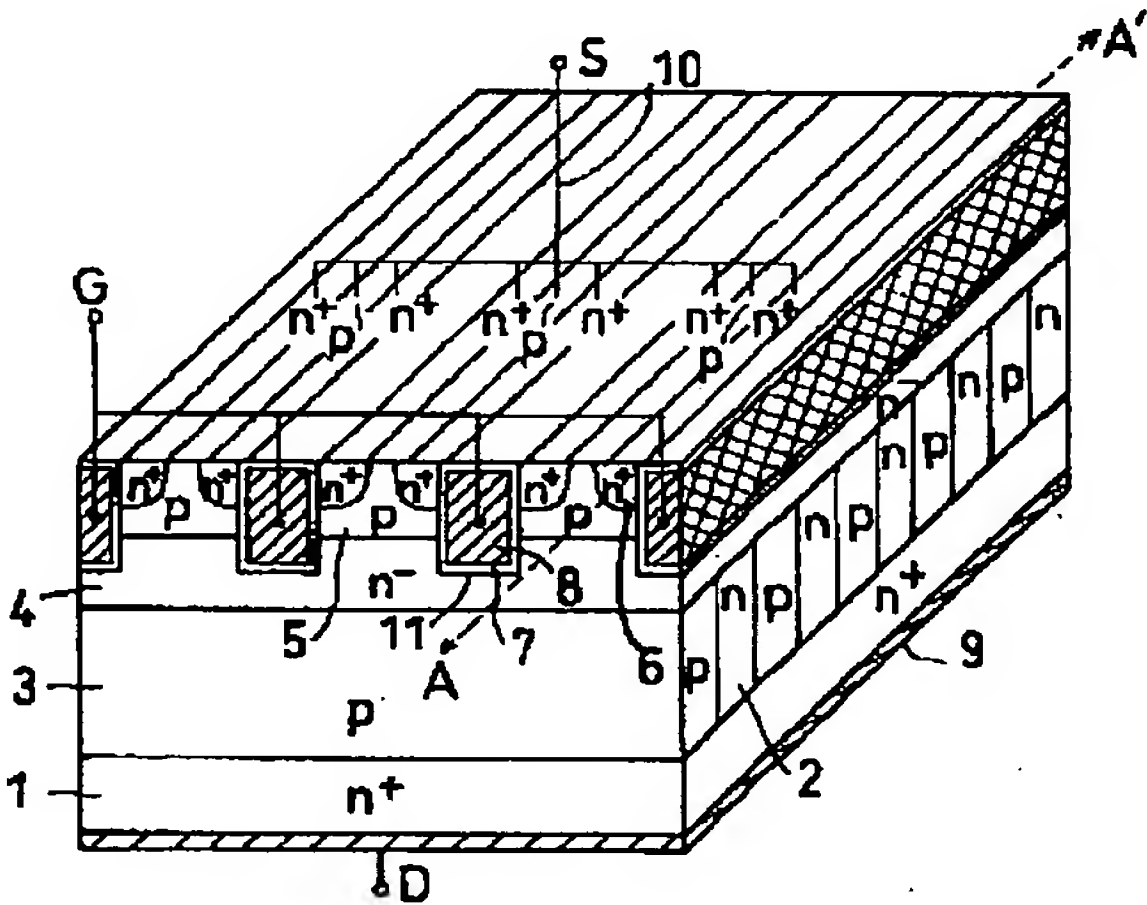
(21)出願番号	特願平11-62470	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年3月10日(1999.3.10)	(72)発明者	山口 正一 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
		(74)代理人	100083161 弁理士 外川 英明
		Fターム(参考)	5F040 DA22 DB04 EB01 EB13 EC20 EE01 EE03 EE04 EF18 EM01

(54)【発明の名称】 高耐圧半導体素子

(57)【要約】

【課題】 本発明は、低オン抵抗と高速スイッチング性能を同時に備える高耐圧半導体素子の実現を図る。

【解決手段】 第1導電型ドレイン層1と、第1導電型ドレイン層1上に形成され、横方向に交互に繰り返し配列された第1導電型半導体層2及び第2導電型半導体層3と、第1導電型半導体層2及び第2導電型半導体層3上に形成された第1導電型ベース層4と、第1導電型ベース層4に隣接して形成された第2導電型ベース層5と、第2導電型ベース層5の表面に形成された第1導電型ソース層6と、第1導電型ソース層6と第1導電型ベース層4との間の第2導電型ベース層5表面に対向してゲート絶縁膜7を介して設けられたゲート電極8と、第1導電型ドレイン層1に形成された第1の主電極9と、第1導電型ソース層6に形成された第2の主電極10とを具備することを特徴とする高耐圧半導体素子。





## 【特許請求の範囲】

【請求項1】 第1導電型ドレイン層と、この第1導電型ドレイン層に接して形成され、オン状態でドリフト電流を流すとともにオフ状態で空乏化する第1導電型半導体層と、前記第1導電型ドレイン層及び前記第1導電型半導体層に接して形成され、オフ状態で空乏化する第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された第1導電型ベース層と、前記第1導電型ベース層に接して形成された第2導電型ベース層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを具備することを特徴とする高耐圧半導体素子。

【請求項2】 第1導電型ドレイン層と、この第1導電型ドレイン層に接して形成された第1導電型半導体層と、前記第1導電型ドレイン層及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された第1導電型ベース層と、前記第1導電型ベース層に接して形成された第2導電型ベース層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを備え、前記第1導電型半導体層と前記第2導電型半導体層とは交互に繰り返し配列されていることを特徴とする高耐圧半導体素子。

【請求項3】 第1導電型ドレイン層と、この第1導電型ドレイン層上に形成され、横方向に交互に繰り返し配列された第1導電型半導体層及び第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層上に形成された第1導電型ベース層と、前記第1導電型ベース層に隣接して形成された第2導電型ベース層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを具備することを特徴とする高耐圧半導体素子。

【請求項4】 前記第1導電型ソース層及び前記第2導電型ベース層を貫通し、前記第1導電型ベース層に接して設けられた溝と、この溝の内部にゲート絶縁膜を介してゲート電極が設けられていることを特徴とする請求項

3記載の高耐圧半導体素子。

【請求項5】 前記第1導電型ベース層の下面は前記溝の底面よりも下に位置することを特徴とする請求項4記載の高耐圧半導体素子。

【請求項6】 前記第2導電型ベース層表面に形成されるチャンネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていることを特徴とする請求項5記載の高耐圧半導体素子。

【請求項7】 前記溝は複数配列されて形成され、この配列方向に前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていることを特徴とする請求項5記載の高耐圧半導体素子。

【請求項8】 前記第2導電型半導体層と前記第2導電型ベース層とは、第2導電型コンタクト層を介してお互いに接続して形成されていることを特徴とする請求項5記載の高耐圧半導体素子。

【請求項9】 前記第1導電型ベース層の下面は前記溝の底面よりも上に位置することを特徴とする請求項4記載の高耐圧半導体素子。

【請求項10】 前記第2導電型ベース層表面に形成されるチャンネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていることを特徴とする請求項9記載の高耐圧半導体素子。

【請求項11】 前記第2導電型半導体層と前記第2導電型ベース層とは、第2導電型コンタクト層を介してお互いに接続して形成されていることを特徴とする請求項9記載の高耐圧半導体素子。

【請求項12】 前記第1導電型ベース層の上面と前記第2導電型ベース層の上面とは、実質的に同一面内にあり、前記第1導電型ベース層の上面にゲート絶縁膜を介してゲート電極が設けられていることを特徴とする請求項3記載の高耐圧半導体素子。

【請求項13】 前記第1導電型ベース層の下面は前記第2導電型ベース層の下面よりも下に位置することを特徴とする請求項12記載の高耐圧半導体素子。

【請求項14】 前記第2導電型ベース層表面に形成されるチャンネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていることを特徴とする請求項13記載の高耐圧半導体素子。

【請求項15】 前記第2導電型ベース層表面に形成されるチャンネルの長さ方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていることを特徴とする請求項13記載の高耐圧半導体素子。

【請求項16】 前記第2導電型半導体層と前記第2導電型ベース層とは、第2導電型コンタクト層を介してお互いに接続して形成されていることを特徴とする請求項13記載の高耐圧半導体素子。

【請求項17】 前記第1導電型ベース層の下面は前記

第2導電型ベース層の下面よりも上に位置することを特徴とする請求項12記載の高耐圧半導体素子。

【請求項18】 前記第2導電型ベース層表面に形成されるチャネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返して配列されていることを特徴とする請求項17記載の高耐圧半導体素子。

【請求項19】 前記第2導電型ベース層表面に形成されるチャネルの長さ方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返して配列されていることを特徴とする請求項17記載の高耐圧半導体素子。

【請求項20】 第2導電型高抵抗層上に形成された第1導電型ドレイン層と、前記第2導電型高抵抗層上に前記第1導電型ドレイン層とは離間して形成された第2導電型ベース層と、この第2導電型ベース層表面に隣接して形成された第1導電型ベース層と、この第1導電型ベース層と前記第1導電型ドレイン層との間に形成され、これらの層を結ぶ方向と概略直交する方向に交互に繰り返して配列された第1導電型半導体層及び第2導電型半導体層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを具備することを特徴とする高耐圧半導体素子。

【請求項21】 前記第1導電型ベース層は、前記第2導電型ベース層の前記第1導電型ドレイン層側表面に隣接して形成され、前記第1導電型ソース層から前記第1導電型ベース層にわたって溝が設けられ、この溝の内部にゲート絶縁膜を介してゲート電極が設けられていることを特徴とする請求項20記載の高耐圧半導体素子。

【請求項22】 前記溝は、前記第1導電型半導体層及び前記第2導電型半導体層の配列方向と概略平行に複数配列されていることを特徴とする請求項21記載の高耐圧半導体素子。

【請求項23】 前記第1導電型ベース層の前記第1導電型ドレイン層側端面は、前記溝の前記第1導電型ドレイン層側端面よりも当該ドレイン層側に位置することを特徴とする請求項22記載の高耐圧半導体素子。

【請求項24】 前記第1導電型ベース層は、前記第2導電型ベース層の下面に隣接して形成され、前記第1導電型ソース層及び前記第2導電型ベース層を貫通し、前記第1導電型ベース層に接して溝が設けられ、この溝の内部にゲート絶縁膜を介してゲート電極が設けられていることを特徴とする請求項20記載の高耐圧半導体素子。

【請求項25】 前記第1導電型ベース層の上面と前記第2導電型ベース層の上面とは、実質的に同一面内にあ

り、前記第1導電型ベース層の上面にゲート絶縁膜を介してゲート電極が設けられていることを特徴とする請求項20記載の高耐圧半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高耐圧半導体素子に係り、特に電力用スイッチング素子として好適なパワーMOSFET型の半導体素子に関する。

【0002】

【従来の技術】近年のパワーエレクトロニクス分野における電源機器の小型化、高性能化への要求を受けて、パワー半導体素子では、高耐圧・大電流化と共に、低損失化、高速化、高破壊耐量化に対する性能改善が注力されている。その中で、パワーMOSFETはその高速スイッチング性能のため、スイッチング電源分野などでキーデバイスとして定着している。

【0003】MOSFETは多数キャリアデバイスであるため、少数キャリア蓄積時間がなくスイッチングが速いという利点がある。しかし、反面、伝導度変調がないために高耐圧素子ではIGBTなどのバイポーラ素子と比べるとオン抵抗の面で不利になる。これは、MOSFETにおいて高い耐圧を得るには、nベース層を厚くし不純物濃度も低くする必要があるため、高耐圧の素子ほどMOSFETのオン抵抗が増大することに起因する。

【0004】この従来のMOSFETの欠点を解消する素子として、図13に示す素子構造が知られている。図13に示すように、この従来型素子は、n型ドレイン層201上に位置するドリフト領域に、ストライプ状のp型半導体層203とn型半導体層202が交互に繰り返して存在する。これらのp型半導体層203とn型半導体層202の間の接合には空乏層が広がり、n型半導体層202の濃度を高くしても、ブレークダウンする前にp型半導体層203とn型半導体層202とが完全に空乏化することによって、従来のMOSFETと同様の耐圧を得ることができる。

【0005】ここで、n型半導体層202の濃度は、素子の耐圧ではなくn型半導体層202及びp型半導体層203の幅に依存するため、耐圧が高くなればなるほど効果は大きくなるという特徴がある。n型半導体層202とp型半導体層203の幅をさらに小さくすれば、n型半導体層202の濃度をより高くすることができ、オン抵抗の更なる低減化を達成することが可能である。なお、図13において、205はp型ベース層、206はn型ソース層、207はゲート絶縁膜、208はゲート電極、209はドレイン電極、210はソース電極、211はトレンチである。

【0006】しかしながら、以上の従来型素子では、n型半導体層（ドリフト層）202をドレイン領域としてMOS構造が構成されているため、MOSチャネル幅が半減し、低いオン抵抗が得られないという問題があっ



た。

【0007】図14はかかる問題点を説明するための図である。図14は、図13における従来の素子の線分A-A'における断面を示す断面図である。この図14に示すように、従来型の素子では、点線で示されるトレンチ211の底よりも上の領域に至るまでn型半導体層202及びp型半導体層203の上端が延在している。また、n型半導体層202及びp型半導体層203とp型ベース層205とは直接接している構造となっている。したがって、ゲート絶縁膜207に接するp型ベース層205表面においてチャネルが形成されても、電子電流が流れる部分は主として図14の斜線の領域に限定されることになってしまい、有効な導通領域を十分な幅で形成することができないという問題がある。このため、オン抵抗の低減化は困難となっていた。

【0008】

【発明が解決しようとする課題】以上のように、従来の高耐圧半導体素子は、オン抵抗を十分低減できないという問題があった。本発明は、上記実情に鑑みてなされたものであり、その目的は、従来よりもオン抵抗の低い高耐圧半導体素子を提供することにある。

【0009】

【課題を解決するための手段】（構成）前述した課題を解決するために、本発明の第1は、第1導電型ドレイン層と、この第1導電型ドレイン層に接して形成され、オン状態でドリフト電流を流すとともにオフ状態で空乏化する第1導電型半導体層と、前記第1導電型ドレイン層及び前記第1導電型半導体層に接して形成され、オフ状態で空乏化する第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された第1導電型ベース層と、前記第1導電型ベース層に接して形成された第2導電型ベース層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを具備することを特徴とする高耐圧半導体素子を提供する。

【0010】また、本発明の第2は、第1導電型ドレイン層と、この第1導電型ドレイン層に接して形成された第1導電型半導体層と、前記第1導電型ドレイン層及び前記第1導電型半導体層に接して形成された第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層に接して形成された第1導電型ベース層と、前記第1導電型ベース層に接して形成された第2導電型ベース層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート

電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを備え、前記第1導電型半導体層と前記第2導電型半導体層とは交互に繰り返し配列されていることを特徴とする高耐圧半導体素子を提供する。

【0011】また、本発明の第3は、第1導電型ドレイン層と、この第1導電型ドレイン層上に形成され、横方向に交互に繰り返し配列された第1導電型半導体層及び第2導電型半導体層と、前記第1導電型半導体層及び前記第2導電型半導体層上に形成された第1導電型ベース層と、前記第1導電型ベース層に隣接して形成された第2導電型ベース層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを具備することを特徴とする高耐圧半導体素子を提供する。

【0012】かかる本発明の第3において、以下の構成を備えることが好ましい。

（1）前記第1導電型ソース層及び前記第2導電型ベース層を貫通し、前記第1導電型ベース層に接して設けられた溝と、この溝の内部にゲート絶縁膜を介してゲート電極が設けられていること。

【0013】（2）（1）において、前記第1導電型ベース層の下面は前記溝の底面よりも下に位置すること。

（3）（2）において、前記第2導電型ベース層表面に形成されるチャネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていること。

【0014】（4）（2）において、前記溝は複数配列されて形成され、この配列方向に前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていること。

【0015】（5）（2）において、前記第2導電型半導体層と前記第2導電型ベース層とは、第2導電型コンタクト層を介してお互いに接続して形成されていること。

（6）（1）において、前記第1導電型ベース層の下面は前記溝の底面よりも上に位置すること。

【0016】（7）（6）において、前記第2導電型ベース層表面に形成されるチャネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていること。

【0017】（8）（6）において、前記第2導電型半導体層と前記第2導電型ベース層とは、第2導電型コンタクト層を介してお互いに接続して形成されていること。

（9）前記第1導電型ベース層の上面と前記第2導電型

ベース層の上面とは、実質的に同一面内にあり、前記第1導電型ベース層の上面にゲート絶縁膜を介してゲート電極が設けられていること。

【0018】(10)(9)において、前記第1導電型ベース層の下面は前記第2導電型ベース層の下面よりも下に位置すること。

(11)(10)において、前記第2導電型ベース層表面に形成されるチャネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていること。

【0019】(12)(10)において、前記第2導電型ベース層表面に形成されるチャネルの長さ方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていること。

【0020】(13)(10)において、前記第2導電型半導体層と前記第2導電型ベース層とは、第2導電型コンタクト層を介してお互いに接続して形成されていること。

【0021】(14)(9)において、前記第1導電型ベース層の下面は前記第2導電型ベース層の下面よりも上に位置すること。

(15)(14)において、前記第2導電型ベース層表面に形成されるチャネルの幅方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていること。

【0022】(16)(14)において、前記第2導電型ベース層表面に形成されるチャネルの長さ方向に、前記第1導電型半導体層及び前記第2導電型半導体層が交互に繰り返し配列されていること。

【0023】また、本発明の第4は、第2導電型高抵抗層上に形成された第1導電型ドレイン層と、前記第2導電型高抵抗層上に前記第1導電型ドレイン層とは離間して形成された第2導電型ベース層と、この第2導電型ベース層表面に隣接して形成された第1導電型ベース層と、この第1導電型ベース層と前記第1導電型ドレイン層との間に形成され、これらの層を結ぶ方向と概略直交する方向に交互に繰り返し配列された第1導電型半導体層及び第2導電型半導体層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層と前記第1導電型ベース層との間の前記第2導電型ベース層表面に対向してゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ドレイン層に形成された第1の主電極と、前記第1導電型ソース層に形成された第2の主電極とを具備することを特徴とする高耐圧半導体素子を提供する。

【0024】かかる本発明の第4において、以下の構成を備えることが好ましい。

(1) 前記第1導電型ベース層は、前記第2導電型ベース層の前記第1導電型ドレイン層側表面に隣接して形成され、前記第1導電型ソース層から前記第1導電型ベー

ス層にわたって溝が設けられ、この溝の内部にゲート絶縁膜を介してゲート電極が設けられていること。

【0025】(2)(1)において、前記溝は、前記第1導電型半導体層及び前記第2導電型半導体層の配列方向と概略平行に複数配列されていること。

(3)(2)において、前記第1導電型ベース層の前記第1導電型ドレイン層側端面は、前記溝の前記第1導電型ドレイン層側端面よりも当該ドレイン層側に位置すること。

【0026】(4) 前記第1導電型ベース層は、前記第2導電型ベース層の下面に隣接して形成され、前記第1導電型ソース層及び前記第2導電型ベース層を貫通し、前記第1導電型ベース層に接して溝が設けられ、この溝の内部にゲート絶縁膜を介してゲート電極が設けられていること。

【0027】(5) 前記第1導電型ベース層の上面と前記第2導電型ベース層の上面とは、実質的に同一面内にあり、前記第1導電型ベース層の上面にゲート絶縁膜を介してゲート電極が設けられていること

(作用) 本発明によれば、互いに接して交互に形成された第1導電型ドリフト層及び第2導電型ドリフト層は、第1導電型ベース層を介して絶縁ゲート電極直下の第2導電型ベース層(チャネル形成層)と接続されているので、第2導電型ベース層の全ての幅にわたってチャネル領域として作用させることができ、従来型素子よりも低いオン抵抗を得ることが可能である。

【0028】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。なお、以下の全ての実施形態では第1導電型としてn型、第2導電型としてp型を用いている。

【0029】(第1の実施形態) 図1は、本発明の第1の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。この実施形態は、縦型のMOS型高耐圧半導体素子に対して本発明を適用した実施形態である。

【0030】図1に示すように、n型ドレイン層1に接して、平面的に交互に繰り返し配列されたストライプ状のn型ドリフト層2とp型ドリフト層3が形成されている。このn型ドリフト層2とp型ドリフト層3とは、後述するp型ベース層5の表面に形成されるチャネルの幅方向に交互に繰り返し配列されている。なお、n型ドリフト層2とp型ドリフト層3それぞれの濃度及び厚みは共に、厚みが $5\mu\text{m}$ の場合で濃度がおよそ $5 \times 10^{15}\text{cm}^{-3}$ 、厚みが $0.5\mu\text{m}$ の場合で濃度がおよそ $1 \times 10^{17}\text{cm}^{-3}$ である。

【0031】さらに、n型ドリフト層2およびp型ドリフト層3の両方に接するようにn型ベース層4が形成されている。n型ベース層4にはp型ベース層5が選択的に形成され、p型ベース層5の表面にはn型ソース層6が形成され、n型ソース層6からp型ベース層5を通つ



てn型ベース層4に至る深さの複数のトレンチ溝11が選択的に配列形成されている。このトレンチ溝11内には、ゲート絶縁膜7を介して絶縁ゲート電極8が配設されている。

【0032】これらの構造によって、絶縁ゲート電極8、n型ソース層6、p型ベース層5、n型ベース層4により、トレンチ溝11側壁のp型ベース層5表面をチャネル領域とする電子注入用nチャネルMOSFETが構成されている。なお、9はドレイン電極、10はソース電極である。

【0033】図2は、図1の高耐圧半導体素子のAA'を通る面における断面図である。図1と同一部分には同一の符号を付して示し、詳細な説明を省略する。図2中の斜線部分は電子電流が流れる部分を表すが、この図2からわかるように、絶縁ゲート電極8に対向するトレンチ溝11の側壁部分に接するp型ベース層5表面の全領域に電子電流が流れる。したがって、有効な導通領域を十分な幅で形成することが可能となり、素子のオン抵抗を著しく低減することが可能である。

【0034】（第2の実施形態）図3は、本発明の第2の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。図1と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が第1の実施形態のものと異なる点は、繰り返し配列されたストライプ状のn型ドリフト層32とp型ドリフト層33の配列向きが異なる点である。

【0035】即ち、本実施形態の素子では、n型ドリフト層32とp型ドリフト層33とは、複数のトレンチ溝11が配列される配列方向に交互に繰り返し配列されている。かかる配列の構造では、n型ドリフト層32及びp型ドリフト層33とp型ベース層5との間にn型ベース層4が挿入されることとなり、n型ドリフト層32とp型ドリフト層33とがp型ベース層5のチャネル領域と位置合わせずれて形成された場合でも、チャネル領域及びその幅を十分に確保することが可能である。

【0036】従来型素子のようにn型ドリフト層32及びp型ドリフト層33とp型ベース層5との間にn型ベース層4が挿入されない場合には、n型ドリフト層32とp型ドリフト層33とがp型ベース層5のチャネル領域と位置合わせずれて形成されると、n型ソース層、p型ベース層、n型ドリフト層よりなるMOSFETが構成されない領域が生じ、結果的にMOSチャネルの導通領域幅を十分に確保することができなくなってしまうという問題があった。本発明によれば、上記したようにn型ベース層4の介在により、かかる問題を解決してオン抵抗を低減することが可能である。

【0037】（第3の実施形態）図4は、本発明の第3の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。図3と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が

第2の実施形態のものと異なる点は、繰り返し配列されたストライプ状のn型ドリフト層42とp型ドリフト層43が、p型半導体層44を介してp型ベース層5に対して接続している点である。

【0038】即ち、前述した実施形態のように、繰り返し配列されたストライプ状のn型ドリフト層32とp型ドリフト層33とがn型ベース層4によりp型ベース層5と分離された状態では、OFF時に、n型ドリフト層32はn型ドレイン層1と接続されているために当該層とほぼ同電位の状態となるが、p型ドリフト層33は、p型ベース層5の底面より伸びる空乏層がp型ドリフト層33に接するまでの時間は、いわばフローティングの電位状態となる。この場合、n型ドリフト層32とp型ドリフト層33との間に、これらの層が空乏化するために十分な電圧がかからない場合があり、耐圧特性が不安定となる場合もある。

【0039】本実施形態によれば、第2の実施形態の素子で得られる効果の他、以下に述べる効果を得ることが可能である。即ち、実施形態のストライプ状のn型ドリフト層42とp型ドリフト層43とが、p型半導体層44を介してp型ベース層5に対して接続しているので、p型ドリフト層43はp型半導体層44によりp型ベース層5とほぼ同電位の状態になる。したがって、n型ドリフト層42とp型ドリフト層43とが空乏化するために十分な電圧が当該層の間に確実に印加されるようにすることができ、耐圧を安定的に確保することが可能となる。

【0040】なお、本実施形態の素子では、ストライプ状のn型ドリフト層42とp型ドリフト層43の厚みが従来例のものに比べて大きくなっている。これは、n型ベース層4をn型ドリフト層42及びp型ドリフト層43とp型ベース層5との間に挿入したことにより、チャネル幅の問題を解決することができ、n型ドリフト層42とp型ドリフト層43の厚みに関する自由度が向上したためでもある。

【0041】（第4の実施形態）図5は、本発明の第4の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。図1と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が第1の実施形態のものと異なる点は、繰り返し配列されたストライプ状のn型ドリフト層52及びp型ドリフト層53の上端面が、トレンチ溝11の底面よりも上に位置する点である。かかるn型ベース層54の厚みは、OFF時に層全体が比較的低電圧で完全空乏化する程度の厚みとなっている。

【0042】上記第3の実施形態で述べたように、繰り返し配列されたストライプ状のn型ドリフト層2とp型ドリフト層3とがn型ベース層4によりp型ベース層5と分離された状態では、これらn型ドリフト層2とp型ドリフト層3との間に、低電圧時は十分な電圧がかから

ない場合があり、耐圧が不安定になる場合もある。

【0043】しかし、本実施形態によれば、第1の実施形態の素子で得られる効果の他、以下に述べる効果を得ることが可能である。即ち、ターンOFF時に絶縁ゲート電極8に負電圧を印加することによってゲート絶縁膜7に接するn型ベース層54表面にpチャネルが形成され、p型ベース層5とp型ドリフト層53とがこのpチャネルによって電氣的に接続される。したがって、低電圧時でもp型ドリフト層53の電位を固定することができ、n型ドリフト層52及びp型ドリフト層53における完全空乏化を安定させ、素子の耐圧を安定して確保することが可能である。

【0044】（第5の実施形態）図6は、本発明の第5の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。図1と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が第1の実施形態のものと異なる点は、第1の実施形態の素子がトレンチ型のMOS型高耐圧半導体素子であるのに対して、本実施形態のものはプレーナ型のMOS型高耐圧半導体素子である点である。

【0045】即ち、n型ドリフト層2およびp型ドリフト層3の両方に接するようにn型ベース層64が形成されている。n型ベース層64内にはp型ベース層65が選択的に形成され、p型ベース層65の表面にはn型ソース層66が選択的に形成され、またn型ソース層66とn型ベース層64間のp型ベース層65表面上にはゲート絶縁膜67を介して絶縁ゲート電極68が配設されている。ゲート絶縁膜67及び絶縁ゲート電極68はn型ベース層64上にまで延在している。

【0046】これらの構造によって、絶縁ゲート電極68、n型ソース層66、p型ベース層65、n型ベース層64により、p型ベース層65表面をチャネル領域とする電子注入用nチャネルMOSFETが構成されている。なお、9はドレイン電極、70はソース電極である。

【0047】本実施形態の高耐圧半導体素子によっても、第1の実施形態の素子と同様にp型ベース層65表面の全領域をnチャネルの導通領域として作用させることができ、したがって、有効なチャネル領域を十分な幅で形成することが可能となり、素子のオン抵抗を著しく低減することが可能である。

【0048】（第6の実施形態）図7は、本発明の第6の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。図6と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が第5の実施形態のものと異なる点は、繰り返し配列されたストライプ状のn型ドリフト層72とp型ドリフト層73の配列向きが異なる点である。

【0049】即ち、本実施形態の素子では、n型ドリフト層72とp型ドリフト層73とは、p型ベース層65

表面に形成されるチャネルの長さ方向に交互に繰り返し配列されている。かかる配列の構造では、n型ドリフト層72及びp型ドリフト層73とp型ベース層65との間にn型ベース層64が挿入されることとなり、n型ドリフト層72とp型ドリフト層73とがp型ベース層65のチャネル領域と位置合わせずれて形成された場合でも、有効なチャネル領域及びその幅を十分に確保することが可能である。

【0050】従来型素子のようにn型ドリフト層72及びp型ドリフト層73とp型ベース層65との間にn型ベース層64が挿入されない場合には、n型ドリフト層72とp型ドリフト層73とがp型ベース層65のチャネル領域と位置合わせずれて形成されると、p型ベース層65のチャネルにおける電子電流導通領域の幅を十分に確保することができないという問題があった。本発明によれば、上記したようにn型ベース層64の介在により、かかる問題を解決してオン抵抗を低減することが可能である。

【0051】（第7の実施形態）図8は、本発明の第7の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。図6と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が第5の実施形態のものと異なる点は、繰り返し配列されたストライプ状のn型ドリフト層82とp型ドリフト層83が、p型ベース層65に対して直接接続している点である。

【0052】即ち、前述した実施形態のように、繰り返し配列されたストライプ状のn型ドリフト層2とp型ドリフト層3とがn型ベース層64によりp型ベース層65と分離された状態では、OFF時に、n型ドリフト層2はn型ドレイン層1と接続されているために当該層とほぼ同電位の状態となるが、p型ドリフト層3はいわばフローティングの電位状態となる。この場合、低電圧印加時には、n型ドリフト層2とp型ドリフト層3との間に、これらの層が空乏化するために十分な電圧がかからない場合があり、耐圧を安定的に確保することが困難となる場合もある。

【0053】本実施形態によれば、第5の実施形態の素子で得られる効果の他、以下に述べる効果を得ることが可能である。即ち、実施形態のストライプ状のn型ドリフト層82とp型ドリフト層83とが、p型ベース層65に対して直接接続しているので、p型ドリフト層83はp型ベース層65とほぼ同電位の状態になる。したがって、n型ドリフト層82とp型ドリフト層83とが空乏化するために十分な電圧が当該層の間に確実に印加されるようにすることができ、耐圧を安定して確保することが可能となる。

【0054】（第8の実施形態）図9は、本発明の第8の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図である。図8と同一部分には同一の符号を付して



示し説明は省略する。本実施形態の高耐圧半導体素子が第7の実施形態のものと異なる点は、繰り返し配列されたストライプ状のn型ドリフト層92とp型ドリフト層93の配列向きが異なる点である。

【0055】即ち、本実施形態の素子では、第6の実施形態の素子のように、n型ドリフト層92とp型ドリフト層93とは、p型ベース層65表面に形成されるチャネルの長さ方向に交互に繰り返し配列されている。かかる配列の構造では、n型ドリフト層82及びp型ドリフト層83上にn型ベース層84が介在することにより、n型ドリフト層82とp型ドリフト層83とがp型ベース層65のチャネル領域と位置合わせずれして形成された場合でも、チャネルにおける電子電流の導通領域及びその幅を十分に確保することが可能である。したがって、上記n型ベース層84の介在により、位置合わせずれの問題もなくオン抵抗を低減することが可能である。

【0056】（第9の実施形態）図10は、本発明の第9の実施形態に係る横型の高耐圧半導体素子の構造を示す断面図である。本実施形態の高耐圧半導体素子が前述した実施形態のものと異なる点は、前述した実施形態の素子が縦型のMOS型高耐圧半導体素子であるのに対して、本実施形態のものは横型のMOS型高耐圧半導体素子である点である。

【0057】図10に示すように、高抵抗p型半導体基板100上にはn型ドレイン層101が形成され、このn型ドレイン層101に接して、平面的に交互に繰り返し配列されたストライプ状のn型ドリフト層102とp型ドリフト層103が形成されている。このn型ドリフト層102とp型ドリフト層103の両方に接するようにn型ベース層104が形成されている。即ち、n型ドリフト層102とp型ドリフト層103とは、n型ベース層104とn型ドリフト層102との間に形成され、これらの層を結ぶ方向と概略直交する方向に交互に繰り返し配列されている。

【0058】さらに、n型ベース層104に隣接してp型ベース層105が選択的に形成され、p型ベース層105の表面にはn型ソース層106が形成されている。このn型ソース層106からn型ベース層104にわたって複数のトレンチ溝111が設けられ、当該複数のトレンチ溝111は、n型ドリフト層102及びp型ドリフト層103の配列方向と概略平行に配列されている。これらのトレンチ溝111の内部にゲート絶縁膜107を介して絶縁ゲート電極108が配設されている。

【0059】これらの構造によって、絶縁ゲート電極108、n型ソース層106、p型ベース層105、n型ベース層104により、トレンチ溝111側壁のp型ベース層105表面をチャネル領域とする電子注入用nチャネルMOSFETが構成されている。なお、109はドレイン電極、110はソース電極である。

【0060】本実施形態によれば、第1の実施形態と同

様にp型ベース層105表面の全領域がnチャネルの電子電流導通領域として作用する。したがって、電子電流導通領域を十分な幅で形成することが可能となり、素子のオン抵抗を著しく低減することが可能である。

【0061】また、上述したように本実施形態の素子では、n型ドリフト層102とp型ドリフト層103とは、複数のトレンチ溝111が配列される配列方向に交互に繰り返し配列されている。かかる配列の構造において、n型ドリフト層102及びp型ドリフト層103とp型ベース層105との間にn型ベース層104が挿入されることにより、n型ドリフト層102とp型ドリフト層103とがp型ベース層105のチャネル領域と位置合わせずれして形成された場合でも、電子電流導通領域及びその幅を十分に確保することが可能である。したがって、上記n型ベース層104の介在により、位置合わせずれの問題を解決してオン抵抗を低減することが可能である。

【0062】（第10の実施形態）図11は、本発明の第10の実施形態に係る横型の高耐圧半導体素子の構造を示す断面図である。図10と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が第10の実施形態のものと異なる点は、トレンチ溝119の位置及びn型ベース層114の位置が異なる点である。

【0063】即ち、n型ドリフト層102およびp型ドリフト層103の両方に接するようにn型ベース層114が形成され、このn型ベース層114の上にはp型ベース層115が隣接して選択的に形成されている。p型ベース層115の表面にはn型ソース層116が形成され、n型ソース層116からp型ベース層115を通過してn型ベース層114に至る深さのトレンチ溝119が形成されている。このトレンチ溝119内には、ゲート絶縁膜117を介して絶縁ゲート電極118が配設されている。

【0064】これらの構造によって、絶縁ゲート電極118、n型ソース層116、p型ベース層115、n型ベース層114により、トレンチ溝119側壁のp型ベース層115表面をチャネル領域とする電子注入用nチャネルMOSFETが構成されている。なお、109はドレイン電極、120はソース電極である。

【0065】本実施形態によれば、第10の実施形態と同様にp型ベース層115表面の全領域がnチャネル電子電流導通領域として作用する。したがって、電子電流導通領域を十分な幅で形成することが可能となり、素子のオン抵抗を著しく低減することが可能である。

【0066】（第11の実施形態）図12は、本発明の第11の実施形態に係る横型の高耐圧半導体素子の構造を示す断面図である。図10と同一部分には同一の符号を付して示し説明は省略する。本実施形態の高耐圧半導体素子が第10の実施形態のものと異なる点は、第10

の実施形態の素子がトレンチ型のMOS型高耐圧半導体素子であるのに対して、本実施形態のものはプレーナ型のMOS型高耐圧半導体素子である点である。

【0067】即ち、n型ソース層106とn型ベース層104間のp型ベース層105表面上にはゲート絶縁膜127を介して絶縁ゲート電極128が配設されている。ゲート絶縁膜127及び絶縁ゲート電極128は、n型ベース層104、n型ドリフト層102およびp型ドリフト層103の上になで延在している。

【0068】これらの構造によって、絶縁ゲート電極128、n型ソース層106、p型ベース層105、n型ベース層104により、p型ベース層105表面をチャネル領域とする電子注入用nチャネルMOSFETが構成されている。なお、109はドレイン電極、130はソース電極である。

【0069】本実施形態によれば、第10の実施形態と同様にp型ベース層105表面の全領域がnチャネル電子電流導通領域として作用する。したがって、電子電流導通領域を十分な幅で形成することが可能となり、素子のオン抵抗を著しく低減することが可能である。

【0070】なお、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では第1導電型としてn型、第2導電型としてp型を用いているが、その反対に第1導電型としてp型、第2導電型としてn型を用いても良い。その他、本発明の趣旨を逸脱しない範囲で種々変形して実施可能である。

【0071】

【発明の効果】以上述べたように、本発明によれば、MOS構造のチャネルにおいて電子電流が導通する有効領域の幅が増加するため、低いオン抵抗のMOS型高耐圧半導体素子を得ることが可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図。

【図2】 図1の線分AA'の方向における断面図。

【図3】 本発明の第2の実施形態に係る縦型の高耐圧

半導体素子の構造を示す断面図。

【図4】 本発明の第3の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図。

【図5】 本発明の第4の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図。

【図6】 本発明の第5の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図。

【図7】 本発明の第6の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図。

【図8】 本発明の第7の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図。

【図9】 本発明の第8の実施形態に係る縦型の高耐圧半導体素子の構造を示す断面図。

【図10】 本発明の第9の実施形態に係る横型の高耐圧半導体素子の構造を示す断面図。

【図11】 本発明の第10の実施形態に係る横型の高耐圧半導体素子の構造を示す断面図。

【図12】 本発明の第11の実施形態に係る横型の高耐圧半導体素子の構造を示す断面図。

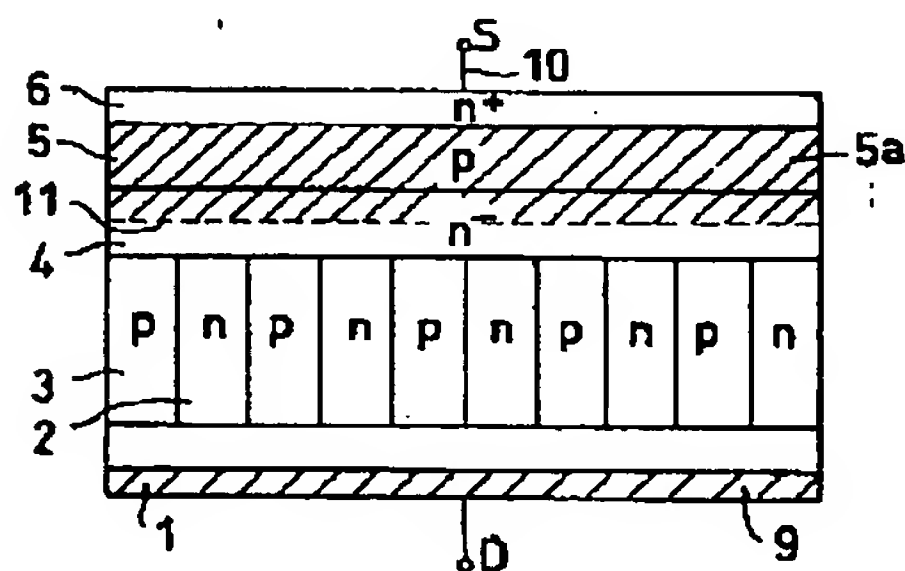
【図13】 従来の縦形の高耐圧半導体素子の構造を示す断面図。

【図14】 図13の線分AA'の方向における断面図。

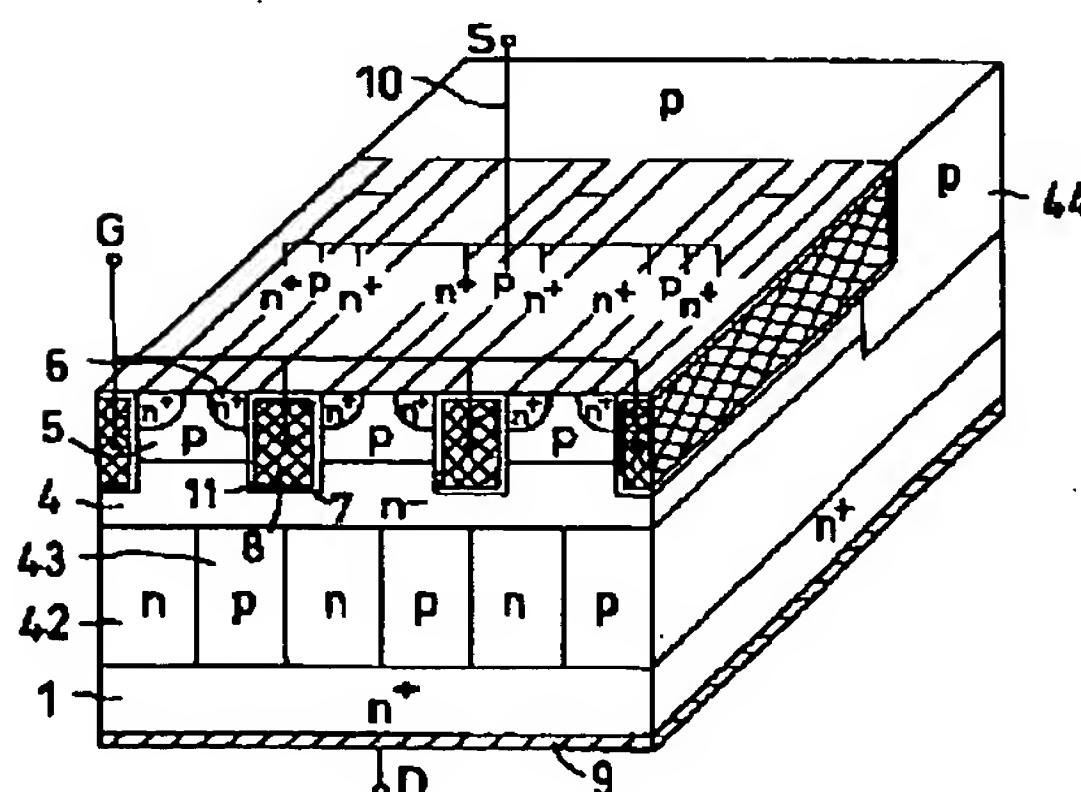
【符号の説明】

- 1…n型ドレイン層
- 2…n型ドリフト層
- 3…p型ドリフト層
- 4…n型ベース層
- 5…p型ベース層
- 6…n型ソース層
- 7…ゲート絶縁膜
- 8…絶縁ゲート電極
- 9…ドレイン電極
- 10…ソース電極
- 11…トレンチ溝

【図2】

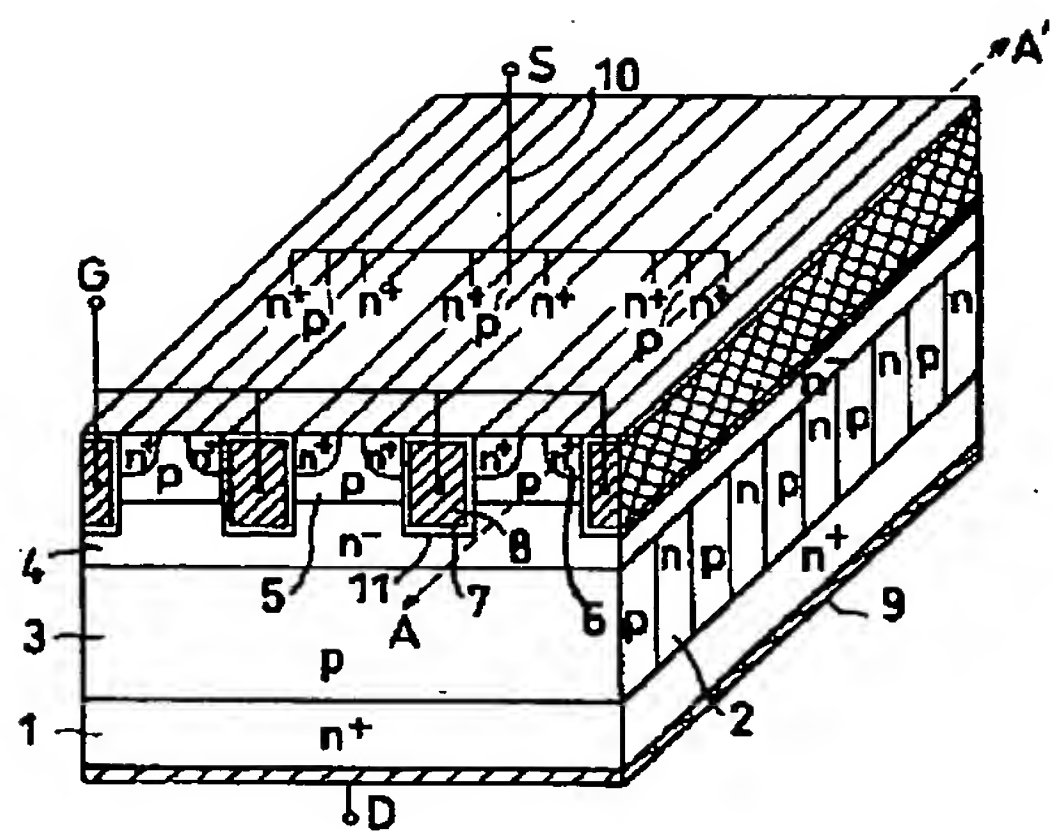


【図4】

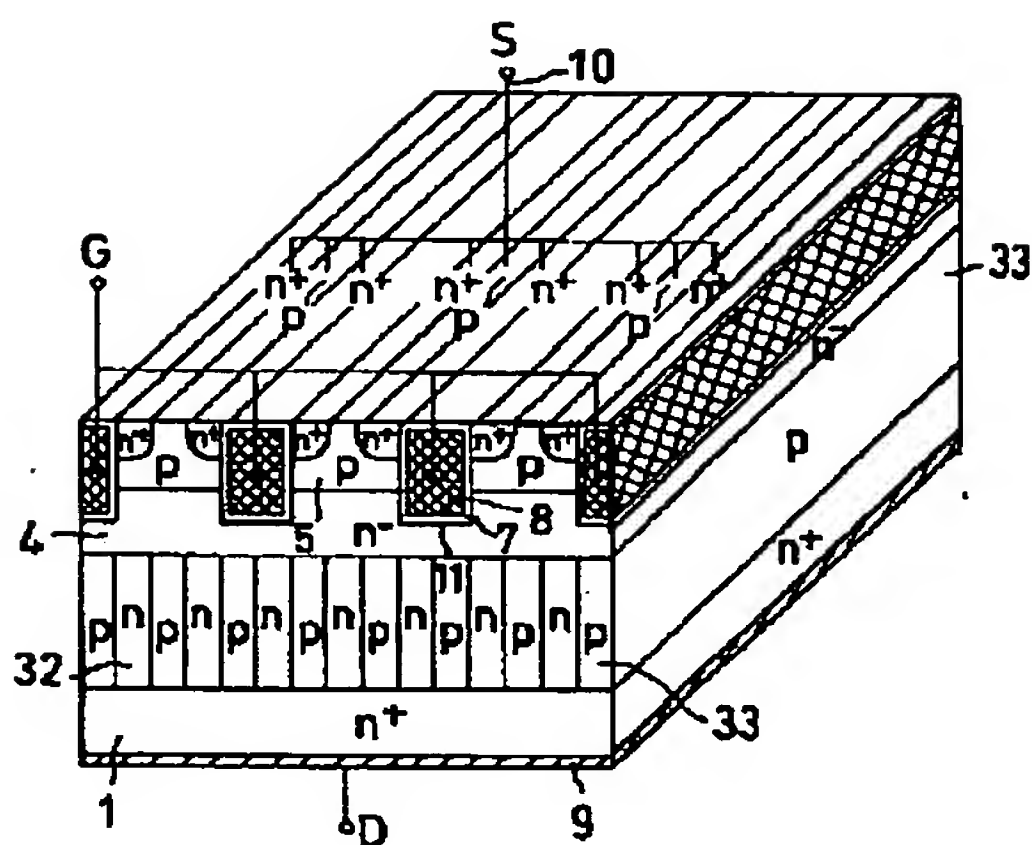




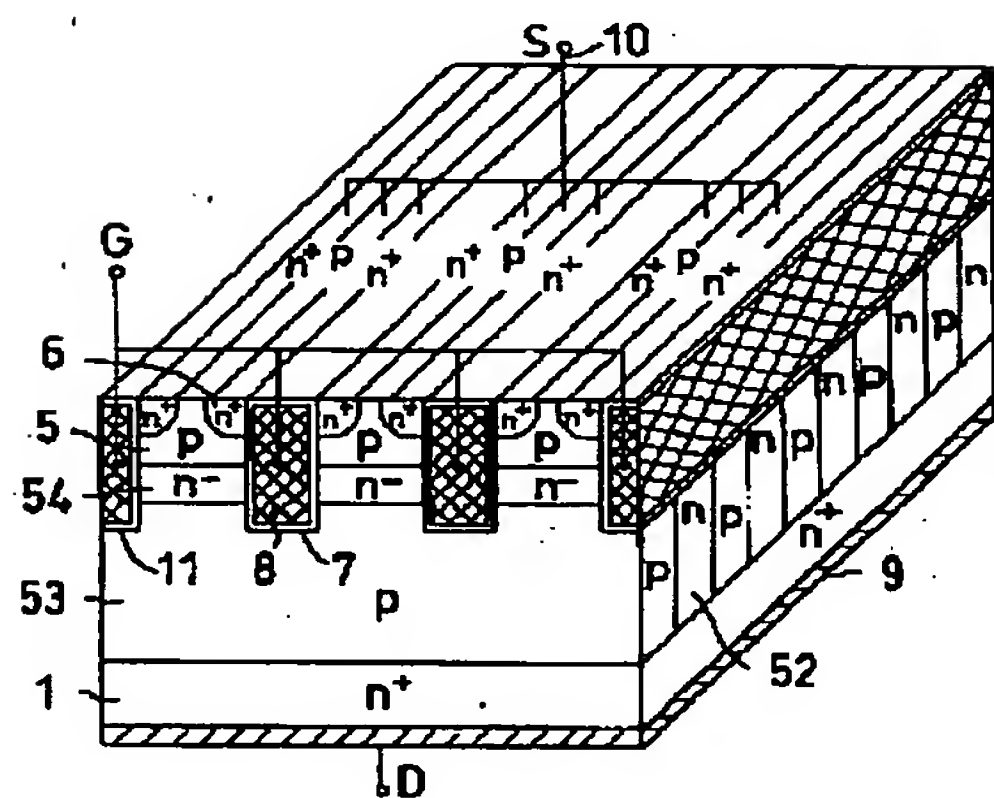
【図1】



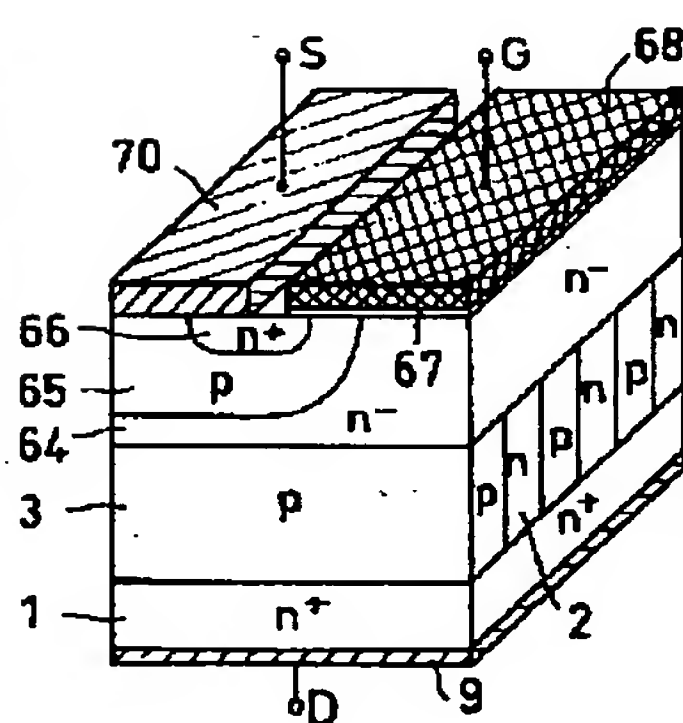
【図3】



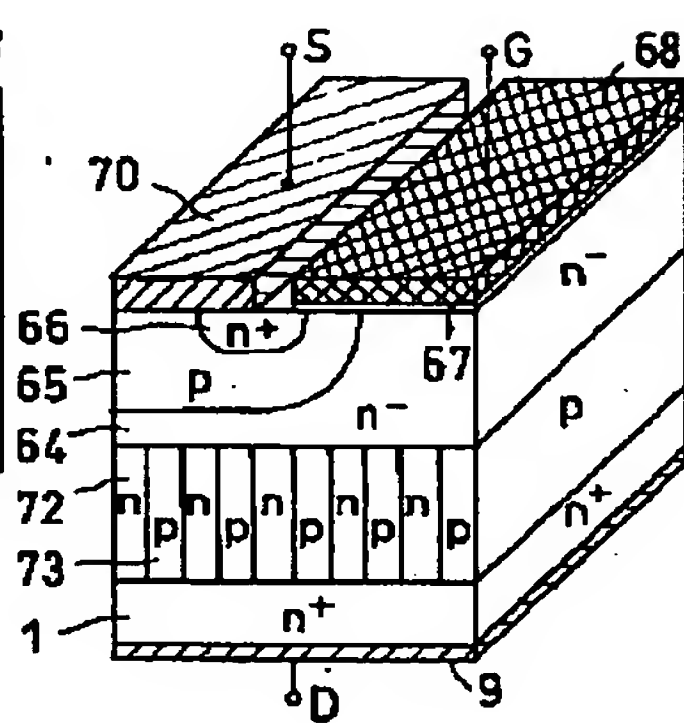
【図5】



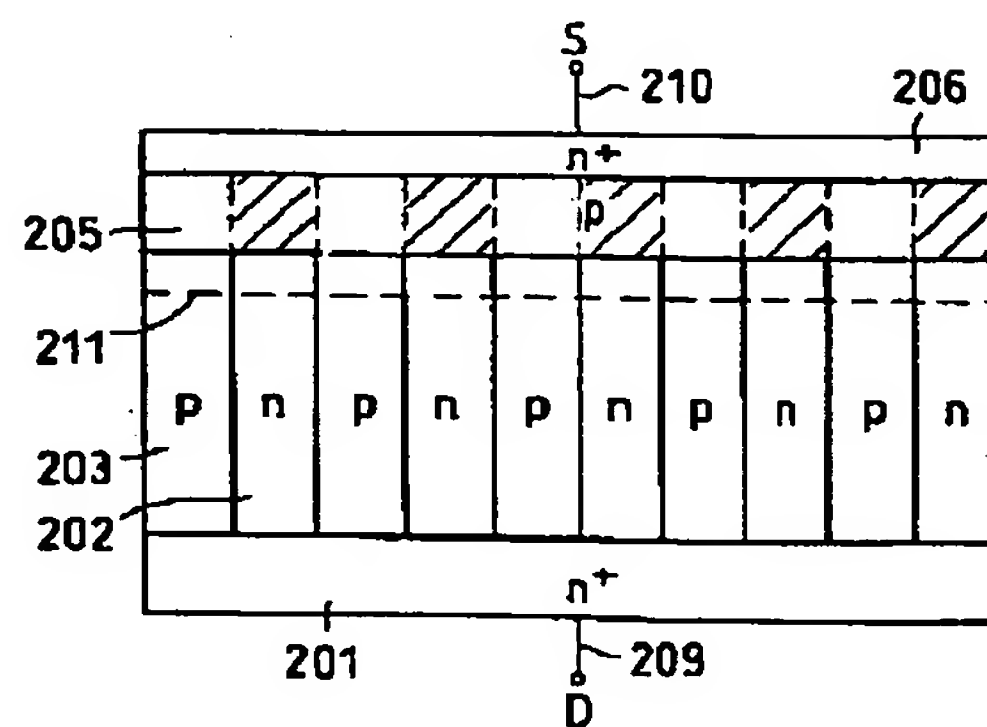
【図6】



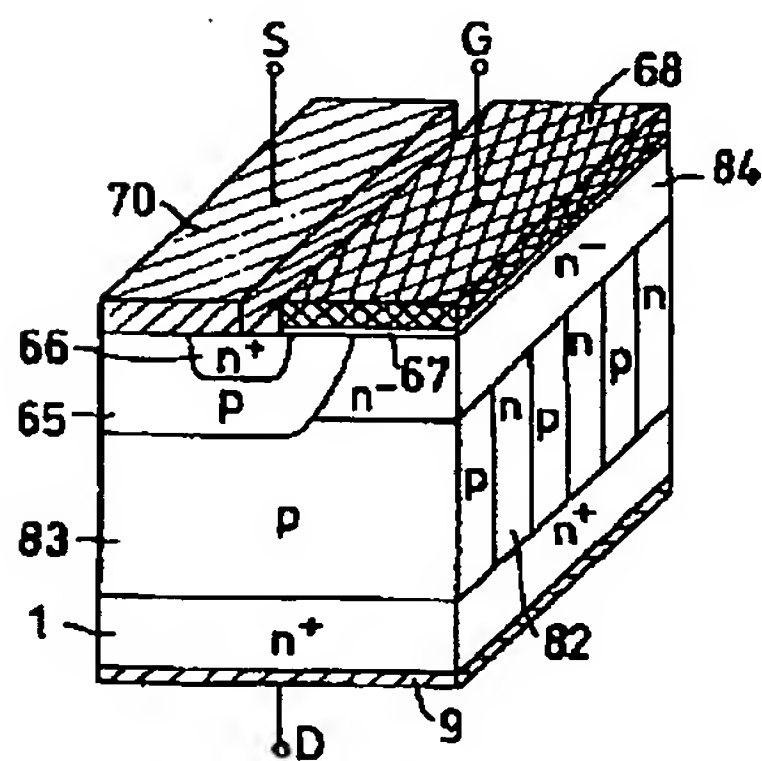
【図7】



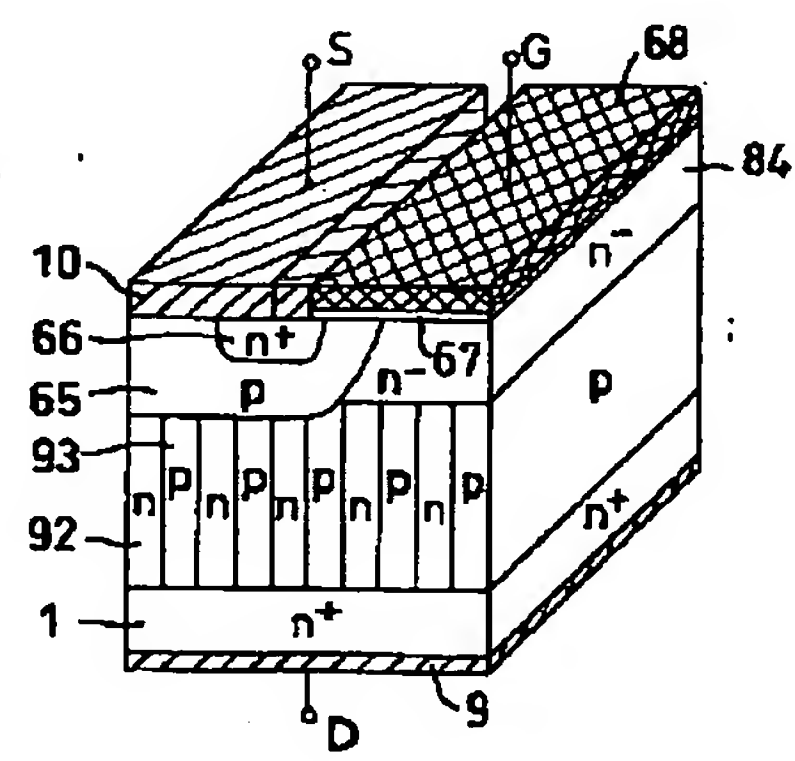
【図14】



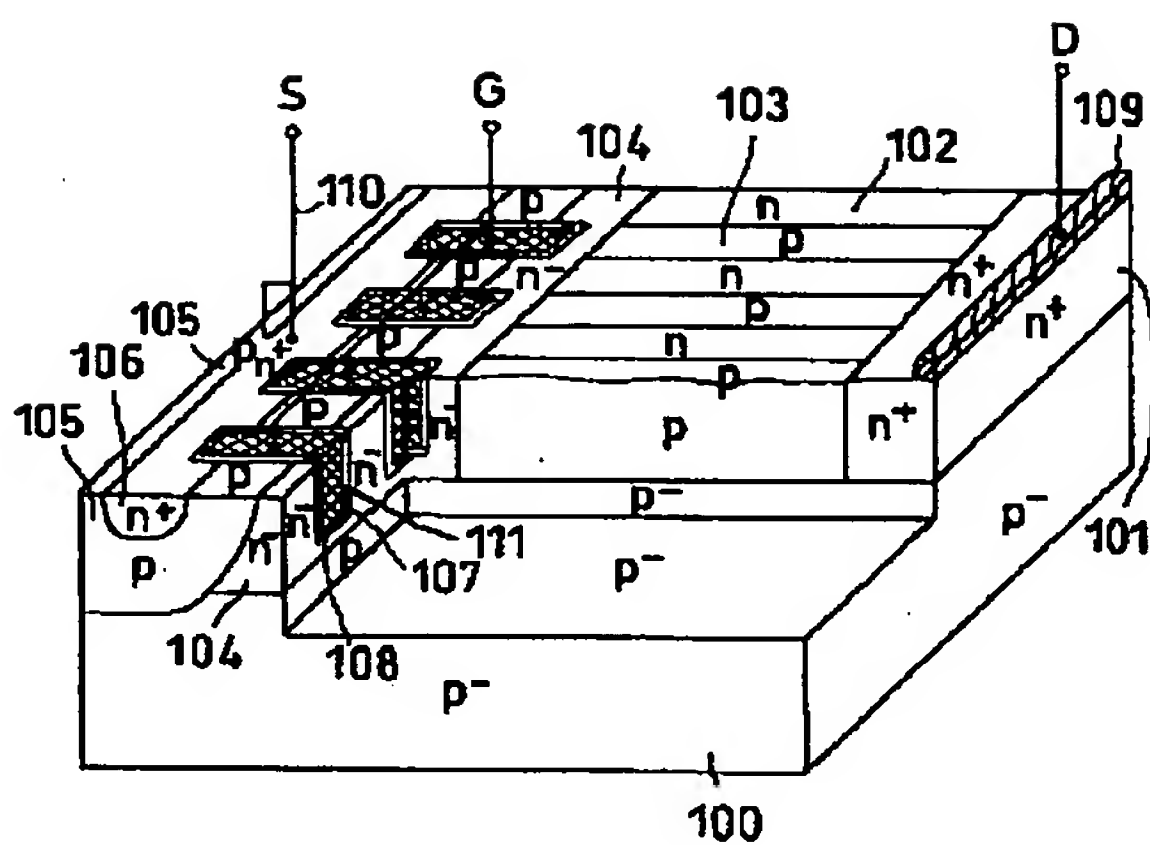
【図8】



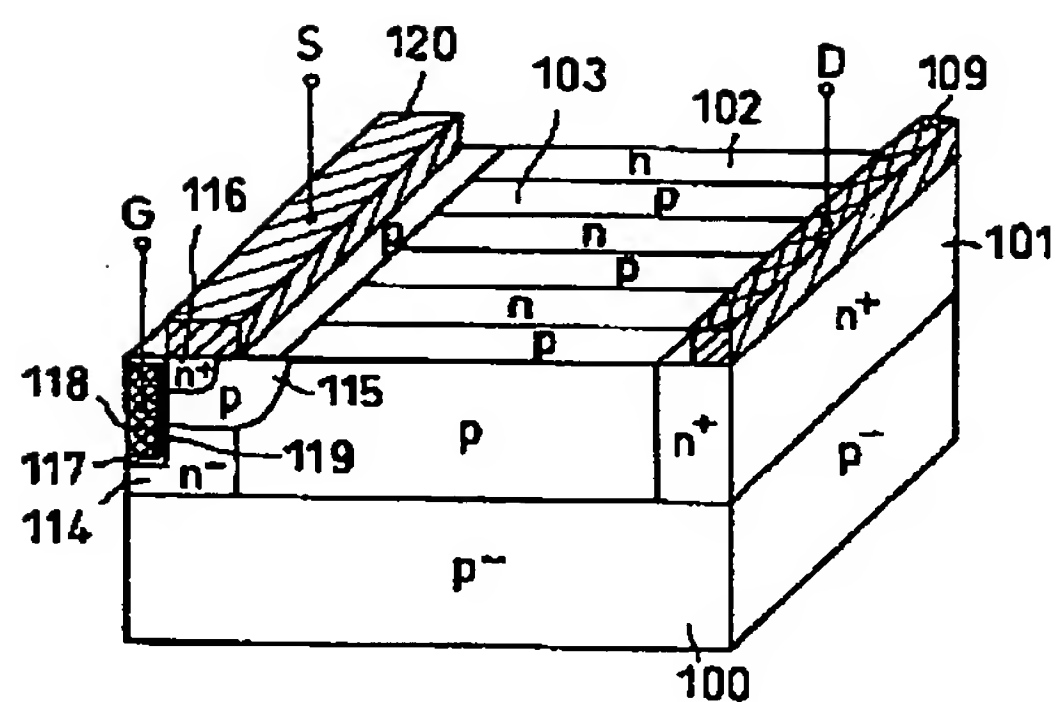
【図9】



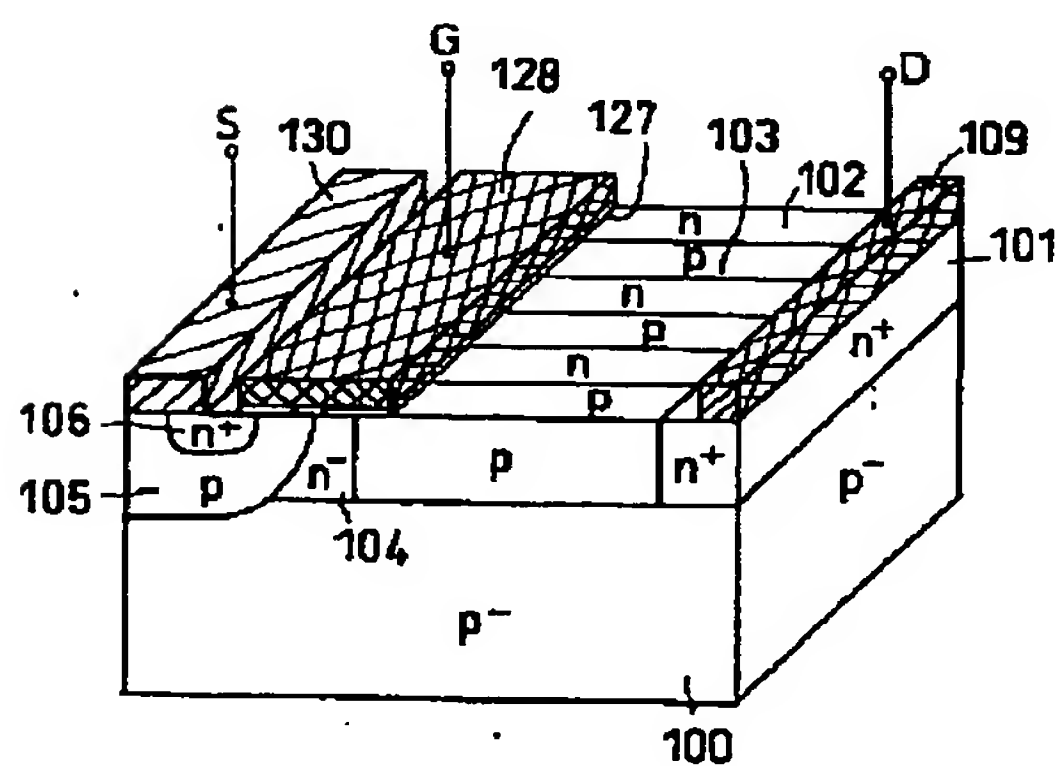
【☒ 10】



【図 1 1】



【图 12】



【例 13】

